



KOLLOQUIUM

Elektrotechnik-Elektronik-Informationstechnik

Fortgeschrittene Fehleranalyse von DRAM-Speichern

Dr.-Ing. Martin Versen
Quimonda AG

Donnerstag, der 25.06.2009, 17¹⁵ Uhr
Cauerstraße 7/9, Hörsaal H5

Diskussionsleitung: Prof. Dr.-Ing. S. Sattler

Erfolgreiche Fehleranalyse von DRAM Speicherbauelementen ist ohne vorbereitende Messtechnik und elektrische Analyse nicht möglich. In dem Vortrag wird anschaulich dargestellt, welche elektrische Messtechnik die notwendigen Anforderungen an die erfolgreiche physikalische Fehleranalyse erfüllt. Dazu wird nach der Einführung in die Defektproblematik bei hochintegrierten Speicherbauelementen auf die Funktion eines dynamischen Halbleiterspeichers eingegangen. An Hand von Fehlern im Zellenfeld wird dann gezeigt, wie die Lokalisierung durch Bitmapping erfolgen kann. Die Grenzen des Bitmapping liegen bei der Defektlokalisierung jedoch in der Ansteuerungslogik. Diese Grenzen können durch die so genannte Soft-Defect-Localization (SDL) überwunden werden.