



# KOLLOQUIUM

Institut für Elektrotechnik, Elektronik und Informationstechnik

## Visions, Concepts and Solutions for a Mixed-Signal System-in-Package (SiP) Design Flow

**Dr. Thomas Brandtner**

Infineon Technologies, Villach

**Donnerstag, der 16.11.2006, 17<sup>15</sup> Uhr**  
Cauerstraße 7/9, Hörsaal H5

**Diskussionsleitung: Prof. Dr.-Ing. Dr.-Ing. habil. Robert Weigel**

Der Trend zu immer höher integrierten System-on-Chip (SoC) Designs führt immer häufiger zu technologischen, wirtschaftlichen oder auch juristischen Problemen. Eine der möglichen Lösungen ist die Integration mehrerer Chips (Dies) unterschiedlicher IC-Technologie, vielleicht auch verschiedener Hersteller, in ein Gehäuse (System-in-Package, SiP).

Beim Design von komplexen SiP-Lösungen müssen verschiedene Teams innerhalb eines Halbleiterunternehmens viel enger als bisher zusammenarbeiten. Besonders davon betroffen sind die Chip-Design-Teams der einzelnen SiP-Dies, das Package-Design-Team und das Concept-Engineering-Team, das meist auch für das gesamte System-Design verantwortlich ist. Für ein erfolgreiches SiP-Design ist es notwendig, die Arbeit dieser Teams durch einen neuartigen Chip-Package Co-Design-Flow zu unterstützen.

Innerhalb eines solchen Co-Design-Flows wird einerseits auf bereits bestehende EDA-Software-Tools im Bereich Chip- bzw. Package-Design zurückgegriffen, wo die Interfaces zwischen den bisher getrennten "Design-Welten" erheblich verbessert werden. Zusätzlich gibt es auch komplett neuartige Tools, die beispielsweise das Layout des Chips und des Packages gemeinsam darstellen und verändern können.

In dem Co-Design-Flow werden unter anderem folgende Design-Schritte unterstützt:

- **Electrical Design Entry**  
Die "Connectivity" auf SiP-Ebene wird entweder als Stromlaufplan oder als Tabelle definiert. Elektrische und layouttechnische Randbedingungen (Constraints) werden eingegeben und später von anderen Tools laufend überprüft.
- **Electrical Design Entry**  
Die "Connectivity" auf SiP-Ebene wird entweder als Stromlaufplan oder als Tabelle definiert. Elektrische und layouttechnische Randbedingungen (Constraints) werden eingegeben und später von anderen Tools laufend überprüft.
- **Physical Design Entry**  
Das Layout des Chips und des Packages muss gemeinsam entwickelt werden, um beispielsweise die Lage der IO-Zellen und deren Pads am Chip so an das Package anzupassen, dass dieses kostengünstig realisiert werden kann.
- **Package Parasitic Extraction, Backannotation and Simulation**  
Parasitic Extraction auf Package-Ebene bietet neue Herausforderungen im Vergleich zu On-Chip Parasitic Extraction, da hier aufgrund der größeren Geometrien Induktivitäten und auch Wellenphänomene berücksichtigt werden müssen. Die Extraktionsmodelle werden anschließend (halb)automatisch in den Stromlaufplan oder in die HDL-Beschreibung backannotiert und deren Auswirkung auf die Gesamtschaltung in bekannten Schaltkreis- bzw. HDL-Simulatoren untersucht.

Die ersten Versionen eines solchen Chip-Package Co-Design-Flows sind bei Infineon schon im Einsatz, mit dessen Hilfe beispielsweise ein SiP aus 7 Dies mit 3 unterschiedlichen IC-Technologien als First-Time-Right-Design realisiert werden konnte.